

特開平7-193162

(49) 公開日 平成7年(1995)7月28日

(51) Int. Cl. <sup>6</sup> H 0 1 L 23/12 23/50	識別記号 R	庁内整理番号 F 1	技術表示箇所 H 0 1 L 23/12 f.
--	-----------	---------------	-------------------------------

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平5-330641	(71) 出願人 000006108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日 平成5年(1993)12月27日	(72) 発明者 角谷 康樹 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
	(72) 発明者 安生 一郎 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
	(72) 発明者 有田 順一 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
	(74) 代理人 弁理士 秋田 収喜 最終頁に続く

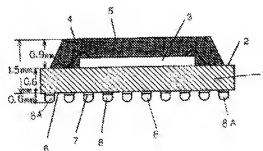
(54) 【発明の名称】 ボールグリッドアレイ半導体装置及びその実装基板

## (57) 【要約】

【目的】 バッケージの反りが生じても電気的接続不良のないBGA半導体装置、BGA半導体装置用実装基板及び実装方法を提供する。

【構成】 両面配線を有する基板1上に半導体チップ3が搭載され、該半導体チップ3の電極と前記基板1の電極とを電気的に接続し、少なくとも前記半導体チップ3及び電気接続部が樹脂5で封止され、前記基板1の前記半導体チップが搭載された面と反対側の面に複数のランドパンプ8が設けられているBGA半導体装置であって、前記基板の中央部が前記半導体チップ3を搭載した面2と反対側の面6方向に向いて反っているものである。

図 1



## 【特許請求の範囲】

【請求項1】 前記配線を有する基板上に半導体チップが搭載され、該半導体チップの電極と前記回路配線とを電気的に接続し、少なくとも前記半導体チップ及び電気接続部が樹脂で封止され、前記基板の前記半導体チップが搭載された面と反対側の面に複数のはんだバンプが設けられているボールグリッドアレイ半導体装置であって、前記封止樹脂の熱膨張係数が、前記基板の熱膨張係数より小さいことを特徴とするボールグリッドアレイ半導体装置。

【請求項2】 請求項1に記載のボールグリッドアレイ半導体装置の最外周のはんだバンプが、前記基板の表面より外面にあることを特徴とするボールグリッドアレイ半導体装置。

【請求項3】 回路配線を有する基板上に半導体チップが搭載され、該半導体チップの電極と前記回路配線とを電気的に接続し、少なくとも前記半導体チップ及び電気接続部が樹脂で封止され、前記基板の前記半導体チップが搭載された面と反対側の面に複数のはんだバンプが設けられているボールグリッドアレイ半導体装置であって、該半導体装置の成り立ちに応じて前記電極の前記はんだバンプとの接触面積の大きさを変えたことを特徴とするボールグリッドアレイ半導体装置。

【請求項4】 基板の半導体チップを搭載した面と反対側の面に複数のはんだバンプが設けられたボールグリッドアレイ半導体装置が実装された前記はんだバンプに対応した複数の電極を有する実装基板であって、前記実装基板上の電極の前記はんだバンプとの接触面積は、前記ボールグリッドアレイ半導体装置を前記実装基板に搭載し、はんだをリフローした時に至る前記はんだバンプと前記電極の間の隙間に応じた面積の大きさになっていることを特徴とする実装基板。

【請求項5】 基板の半導体チップを搭載した面と反対側の面に複数のはんだバンプが設けられたボールグリッドアレイ半導体装置を実装基板上に実装し、前記はんだをリフローした時に、前記ボールグリッドアレイ半導体装置の基板の中央部が前記半導体チップを搭載した面と反対側の面方向に湾曲して前記実装基板上の電極と前記はんだバンプとを電気的に接続することを特徴とする実装方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、実装性に優れたボールグリッドアレイ（BGA）と称する1半導体装置及びそれを搭載する実装基板に關し、特に、回路配線を有する基板上に半導体チップが搭載され、該半導体チップの電極と前記回路配線とを電気的に接続し、少なくとも前記半導体チップが樹脂で封止され、前記基板の前記半導体チップが搭載された面と反対側の面に複数のはんだバンプが設けられているボールグリッドアレイ半導体

装置に適用して有益な技術に関するものである。

## 【0002】

【従来の技術】 近年の半導体装置の高機能化に伴い、薄型実装型パッケージの外周リードの数は増える傾向にある。これらの半導体装置の代表例がQFP（Quad Flat Package）である。QFPは半導体装置の前面に外周リードを設けているため、外周リードの間隔を狭くしたとして、外周リードの数の増大によりパッケージサイズは高機能化の傾向にある。これに反して、近年、開発された面行実装型パッケージがBGA半導体装置である。

このBGA半導体装置は、図14に示すように、回路配線を有する基板1の片面の面2に半導体チップを実装し、基板1と半導体チップを金ワイヤで電気的に接続し、基板1の半導体チップを搭載した面2を封止樹脂5で封止している。また、基板1の半導体チップを搭載した面の反対側の面6に、半導体チップと電気的に接続した複数の電極7を形成し、電極7にははんだバンプ8を設けて外周電極としている。このはんだバンプ8は、面6上にアレイ状に配置されているため、QFPと比較するとより多くの外周電極が設けられ、また、同じ外周電極数なり、QFPよりもパッケージサイズが小さくできるという特徴を有する。このBGA半導体装置を、実装基板9上に位置決めして搭載し、実装基板9とパッケージを加熱することによりはんだバンプ8をリフローし、実装基板9上の電極10と接続する。

【0003】 前記BGA半導体装置に関する技術については、米国特許第5,241,133号明細書（U.S. Pat. 5,241,133）に記載されている。

## 【0004】

【発明が解決しようとする課題】 本発明者は、前記従来技術を模倣した結果、以下の問題点を察知した。

【0005】 すなわち、図14に示すように、BGA半導体装置は基板1の片面を樹脂封止する構造であるため、内部の半導体チップ、基板1及び封止樹脂5のそれぞれの熱膨張係数の違いによりBGA半導体装置のパッケージが反ることがある。このときBGA半導体装置を実装基板9上に搭載すると、図14に示すように、実装基板9上の電極10とはんだバンプ8の間に隙間11が生じるため、はんだバンプをリフローしても電極10とはんだバンプ8が接続されない問題が生じる。

【0006】 特に、熱膨張係数が大きい封止樹脂5を使用した場合、はんだリフロー温度まで加熱したときには基板1の上面の封止樹脂5が大きい膨張し、パッケージの反り以上に凸になる。このとき、パッケージの表面に近いはんだバンプ8は接続されているが、パッケージの中央部に近いはんだバンプ8は接続されない。さらに、BGA半導体装置は外周部であるはんだバンプ8がパッケージの下側にあるため、実装基板9とパッケージの接続点がパッケージの下に隠れてしまい、接続の外観検査が実際より可能である。そのため、パッケージの反り

によるはんだパンパの接合不良が生じたとしても、実装終了後、電氣的な検査を行うまで他見することができないという課題があった。

【0007】本発明の目的は、パッケージの反りが生じても電氣的に接続された実装が可能なBGA半導体装置を提供することにある。

【0008】本発明の他の目的は、パッケージの反りが生じても電氣的に接続された実装が可能なBGA半導体装置用実装基板を提供することにある。

【0009】本発明の他の目的は、BGA半導体装置の実装歩留の向上をはかることが可能な技術を提供することにある。

【0010】本発明の他の目的は、BGA半導体装置の実装外観検査が可能なる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的及び新規な特徴は、本明細書の記述及び添付図面によって明らかにされてくる。

【0012】

【課題を解決するための手段】本願において添付される発明のうち、代表的なものの特徴を簡明に説明すれば、下記のとおりである。

【0013】すなわち、(1) 両端部を有する基板上に半導体チップが搭載され、接合部をチップの最端と前記両端部とを電氣的に接続し、少なくとも前記半導体チップ及び電気接続部の接続で形成され、前記基板の前記半導体チップが搭載された面と反対側の面に複数のはんだパンパが設けられているBGA半導体装置であって、前記前記両端部の幾何幾何係が、前記基板の熱膨張係数よりも小さい。

【0014】(2) 前記(1)のBGA半導体装置の最外周のはんだパンパが、封止層の外面より外面にある。

【0015】(3) 前記BGA半導体装置の反り量に応じて前記両端部の前記はんだパンパとの接続面積の大きさを変えたものである。

【0016】(4) 基板の半導体チップを搭載した面と反対側の面に複数のはんだパンパが設けられたBGA半導体装置が実装される、前記はんだパンパに対応した複数の電極を有する実装基板であって、前記実装基板上の電極の前記はんだパンパとの接続面積は、前記BGA半導体装置を当該実装基板に搭載し、はんだをリフローした時に生じる前記はんだパンパと前記電極の間の隙間に対応した面積の大きさになっている。

【0017】(5) 基板の半導体チップを搭載した面と反対側の面に複数のはんだパンパが設けられたボーダグランドレイ半導体装置を、実装基板に実装し、前記はんだをリフローした時に、前記ボーダグランドレイ半導体装置の基板の中央部が前記半導体チップを搭載した面と反対側の面方向に凸に反らせて前記実装基板上の電極と前記はんだパンパとを電氣的に接続する実装方法であ

る。

【0018】

【作用】前記(1)によれば、実装基板に実装し、はんだリフロー工程まで加熱した時の基板の熱膨張係数より小さい熱膨張係数の封止層を使用することにより、基板の中央部を前記半導体チップを搭載した面と反対側の面方向に凸に反るので、パッケージの半端部に近いはんだパンパをすべて確実に接続することができ、かつ、実装基板とパッケージの接続部のはんだパンパの接続部は側面から観察することができる。

【0019】前記(2)によれば、前記BGA半導体装置の最外周のはんだパンパが、封止層の外面より外面にあるので、実装基板とパッケージの接続部の接続部が側面からさらに容易に観察することができ、外観検査がより容易に行うことができる。これにより、パッケージの反りによるはんだパンパの接続不良が生じたとしても、それを直ちに発見することができ、

【0020】前記(3)によれば、前記BGA半導体装置のパッケージの反りに応じて最上のはんだパンパ下の電極の面積を変化させることにより、電極上に形成されるはんだパンパの高さを変えることができるので、パッケージの反りによるはんだパンパの接続不良を防止もしくは低減することができる。

【0021】前記(4)によれば、実装基板上の電極のはんだパンパとの接続面積は、前記BGA半導体装置を当該実装基板に搭載し、前記はんだをリフローした時に、前記はんだパンパと前記電極の間に生じる隙間に対応した面積の大きさにすることにより、実装前と実装後のはんだパンパ高さを観察することができ、前記の、パッケージの反りによるはんだパンパの接続不良を防止もしくは低減することができる。

【0022】前記(1)及び(5)によれば、実装基板に実装した時、基板の中央部を前記半導体チップを搭載した面と反対側の面方向に凸に反らせることにより、パッケージのはんだパンパをすべて確実に接続することができ、かつ、実装基板とパッケージの接続部のはんだパンパの接続部は側面から観察することができる。これにより、側面に外観検査ができ、かつ、パッケージの反りによるはんだパンパの接続不良を防止もしくは低減することができる。

【0023】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。

【0024】なお、本実施例を説明する命題において、同一機能を示すものは、同一符号を付け、その繰り返しの説明は省略する。

【0025】(実施例1) 図1は、本発明のBGA半導体装置の実装例1の断面を示す断面図、図2は、本実施例のBGA半導体装置のはんだパンパの配列を示す平面図、図3は、本実施例のBGA半導体装置の各製造工程

における平面図、図4は、本実施例1のBGAP半導体装置を構成する実装基板の電極の配列を示す平面図、図5は、本実施例1のBGAP半導体装置を実装基板に実装する方法を説明するための図である。

【0026】図1乃至図5において、1はその表面及びその内部に回路配線を有する基板、2は基板の半導体チップを搭載する面、3は半導体チップ、4はAロイヤ、5は熱伝導層、6は基板のはんだバンプを設ける面、7は基板上の電極、8ははんだバンプ、2は実装基板、22は実装基板上の電極と、また第14図に於いて、1はリフロー炉の温度における実装基板上の電極とはんだバンプとの間に生じるであろうところの隙間である。

【0027】本実施例1のBGAP半導体装置は、図1に示すように、回路配線を有する基板1上に半導体チップ3が搭載され、この半導体チップ3の電極と前記回路配線とをAロイヤ4で電気的に接続し、少なくとも前記半導体チップ3、Aロイヤ4及び電気的接続の部分が対向する面、すなわち、前記基板1の前記半導体チップ3が搭載された面2と反対側の面1に、図2に示すように、電極のばね部5の端のはんだバンプ8がアレイ状に配設されている。そして、前記BGAP半導体装置の最外周のはんだバンプ8が、対向面5の端部6より外面に配設されている。

【0028】前記基板1の材料としては、熱膨張係数 $\alpha = 1.7 \times 10^{-6}/^{\circ}\text{C}$ のガラスエポキシ（「S-8」"S-8-4"）を使用する。また、前記熱伝導層5としては、レジンをを用いるが、このレジンの熱膨張係数が、前記基板1の熱膨張係数よりも小さいものを使用する。基板1として熱膨張係数 $\alpha = 7.1 \times 10^{-6}/^{\circ}\text{C}$ のガラスエポキシを使用した場合、細粒のレジンの熱膨張係数 $\alpha$ は、 $1.7 \times 10^{-6}/^{\circ}\text{C}$ であるが、シリコン（Si）の半導体チップ3熱膨張係数の関係から、 $1.7 \times 10^{-6}/^{\circ}\text{C}$ 以下のレジンを使用する。好ましいレジンの熱膨張係数 $\alpha$ は、 $1.0 \times 10^{-6} \sim 1.4 \times 10^{-6}/^{\circ}\text{C}$ である。

【0029】また、前記本実施例1のBGAP半導体装置の各部の寸法は、図1に示すように、基板1の表面から対向面5の上表面までの高さ1.5mm、対向面5の厚さ0.9mm、基板1の厚さ0.6mm、電極を含むはんだバンプ8の高さ0.6mmである。そして、例えば、はんだバンプ8は119個がピッチ1.27mmで7171つのアレイ状に配設されている。外形は14mm $\times$ 22mmの長方形である。

【0030】次に、本実施例1のBGAP半導体装置の製造方法を説明する。

【0031】まず、図3（A）に示すように、基板1上に半導体チップ3を中央部をリフロー炉等で焼着する。次に、図3（B）に示すように、基板1と半導体チップ3をAロイヤ4で接続する。次いで、図3（C）に示すように、基板1の面2をリフロー炉で焼着す

る。この時に、熱膨張係数が $1.7 \times 10^{-6}/^{\circ}\text{C}$ 以下の対向面5を使用する。例えば、熱膨張係数 $\alpha$ が $1.0 \times 10^{-6}/^{\circ}\text{C} \sim 1.4 \times 10^{-6}/^{\circ}\text{C}$ のレジンを使用することが好ましい。熱硬化、樹脂を硬化させるが、樹脂の硬化収縮によりBGAP半導体装置は、図1に示すように、ほぼ水平もしくは少し湾曲している。樹脂の硬化収縮率は5%程度であるので、対向面5の大きさが16mm $\square$ （平方）の場合、一辺の収縮量は約2.5mmである。

最後に、図2（D）に示すように、はんだバンプ8を基板1上の電極7に接続し、はんだリフロー炉に基板1を置いてはんだバンプ8を形成し、BGAP半導体装置が完成する。

【0032】図4は、本実施例1の実装基板を上面から見た平面図であり、20は実装基板、21は通常の直落の四角電極、22は直落を大きくした凹形電極である。

【0033】前記実装基板20上には前記BGAP半導体装置のパッケージ（以下、単にパッケージと称す）を接続する工程を要する。まず、図5（A）に示すように、実装基板20上の電極21、22にパッド32を形成する。次に、図5（B）に示すように、半導体装置を位置決めして実装基板20上に搭載する。次いで、実装基板20とBGAP半導体装置をはんだリフロー炉に通し、はんだバンプ8をリフローさせる。はんだバンプ8と実装基板20上の電極21との接続は、必ずBGAP半導体装置の中央部に行なわれ、図5（C）に示すように最外周のバンプ8Aは最後に接続が行われる。最外周のはんだバンプ8Aと実装基板20上の電極21との間には、基板1の熱膨張係数と対向面5の熱膨張係数の差によりパッケージが中央部が下に凸になり、約0.5 $\mu\text{m} \sim 6.0 \mu\text{m}$ （ミクロン）程度の隙間が生じるが、図5（C）に示すように、最外周のはんだバンプ8Aと実装基板20上の電極22との間が接続され、すべてののはんだバンプ8及び8Aが接続され実装が終了する。

【0034】すなわち、実装後、BGAP半導体装置の中央部付近のバンプ高さは約430 $\mu\text{m}$ になっており、実装後とのバンプ高さの差は、約70 $\mu\text{m}$ である。これにより、実装時に最外周のはんだバンプ8Aと実装基板20上の電極21との間の隙間は吸収され、最外周のはんだバンプ8Aと実装基板20上の電極21とが接触する。また、はんだが電極21上に流れ広がり接続が行われる。

【0035】また、前記実施例1においては、実装基板20上の電極21の直落を大きくしたが、実装基板20上の電極を同一の直落とし、BGAP半導体装置のパッケージの電極を、図8に示すように、最外周付近のはんだバンプ8Aの電極31は、BGAP半導体装置のパッケージの中央部付近のはんだバンプ8の電極32よりも、小さく直落にしても同様の作用効果を得ることができる。また、更に最外周付近のはんだバンプ8Aの電極31の直落を小さくすることによって電極31間の距離が大きくなる為、実装基板20上の電極21の引き出し自由層

が略す。

【0036】ここで、電極の面積とその上に形成されるはんだパンプの高さの關係について説明する。

【0037】電極の面積とはんだパンプ高さの關係は次式

$$R = \frac{D}{2} + \sqrt{\left(\frac{D}{2}\right)^2 - \left(\frac{d}{2}\right)^2}$$

$$D = \sqrt{\frac{4V}{3\pi}}$$

R : はんだパンプ高さ

V : はんだの体積

d : 電極の直径

【0038】例えば、はんだの体積  $V = 1.03 \text{ mm}^3$  として電極の直径  $d$ 、 $0.4 \text{ mm}$  のときははんだパンプ高さは  $0.61 \text{ mm}$  となり、電極の直径  $d$ 、 $0.4 \text{ mm}$  のときははんだパンプ高さは  $0.7 \text{ mm}$  となる。

【0039】このように、製造するはんだの量を一定にしたいとしても電極の面積を変えることにより、はんだパンプ高さを定めることが可能となる。

【0040】図7(a)平面図10は、前記好ましいレジンの熱膨張係数が  $1.0 \times 10^{-6} \sim 1.4 \times 10^{-6} / ^\circ\text{C}$  におけるそれぞれのパッケージの反り量の実験結果を示したものであり、図7(a)熱膨張係数  $\alpha$  が  $1.0 \times 10^{-6} / ^\circ\text{C}$  のレジンを使用した場合、図8は熱膨張係数  $\alpha$  が  $1.2 \times 10^{-6} / ^\circ\text{C}$  のレジンを使用した場合、図9は熱膨張係数  $\alpha$  が  $1.3 \times 10^{-6} / ^\circ\text{C}$  のレジンを使用した場合、図10は熱膨張係数  $\alpha$  が  $1.4 \times 10^{-6} / ^\circ\text{C}$  のレジンを使用した場合である。ここで、パッケージの反り量とは、図11に示すように、基板1上の針状部5を下側に支え、基板1の上面の無部を含む水平面を基準とし、この基準9からの前記基板1の上面の高さである。そして、基板1の材料としては熱膨張係数  $\alpha = 1.7 \times 10^{-6} / ^\circ\text{C}$  のガラスエポキシ（JIS「FR-4」）を使用した。

【0041】図7(a)平面図10において、熱膨張係数1の部からの距離（mm）、距離は反り量（ $\mu\text{m}$ ）であり、△印は実装基板9に実装する時のリフロー温度（170℃）の時のパッケージの反り量、□印はモールド時の温度（22℃）の時のパッケージの反り量、両者の差印は差量（22℃）とリフロー温度（170℃）との間の低さの温度（90℃、93℃、85℃、95℃）の時のパッケージの反り量である。この低さの温度はパッケージの反り量の傾向を見るための温度である。

【0042】前記図7(a)平面図10からわかるように、いずれも△印で示す実装基板9に実装する時のリフロー温度（170℃）の時は、パッケージの反った状態となり下方に向きとなる。特に、図11及び図12に示すように、□印で示すモールド時の温度（22℃）の時は、パッケージは平坦もしくは反り方向に向きとなり、本発明で希望する下方に向きの形状となっていない。△印で示す実装基板9に実装する時のリフロー温度（170℃）の時は、パッケージの中央部が反った状態となり、実装基板9の裏面に対して下方に向きの反りが生じることがわかる。

【0043】以上の説明からわかるように、実施例1によれば、実装時の加熱による針状部5の膨張が基板1

\* 図的に次式で表せる。

【0038】

【例1】

の膨張より小さくすることにより、前記パッケージの基板1の外周部が中央部に対して前記半導体チップ3を搭載した面2個方向に反って、パッケージが実装基板9の裏面に貼付して下に向きの反りを生じるので、BGA半導体装置のパッケージの反りは下に向きの状態に保たれる。この時、はんだパンプ8と実装基板9上の電極10との接触は、前記パッケージの中央部から行われ、最外周のはんだパンプ8は最後に接触が行われる。そのため、最外周のはんだパンプ8の接触の外縁部を付いて、その最外周のすべてのはんだパンプ8が接触されていれば、その内周のはんだパンプ8も接触されていると判断できる。

【0044】また、前記パッケージの最外周のはんだパンプ8が、針状部5の表面5A上外側にあるので、実装基板9とパッケージの接点の接線部を平面から観察できるので、パッケージの反りによるはんだパンプの接触不良が生じたとしても、それを直ちに発見することができる。

【0045】（実施例2）図12は、本発明のBGA半導体装置の実装基板の実例2の構成を示す平面図、図13は本実施例2の実装基板1にBGA半導体装置を実装した状態を示す断面図である。

【0046】本実施例2のBGA半導体装置の実装基板は、前記実装基板1の電極の接触面積を、前記BGA半導体装置を当該実装基板に搭載し、はんだリフロー時の熱による基板1の反りによって前記はんだパンプと前記電極の間に生じる隙間に応じた面積の大きさにしたものである。

【0047】例えば、図1に示すように、前記針状部5の熱膨張係数が、前記基板1の熱膨張係数より小さいという条件がないと、基板1の半導体チップ3を搭載した面2と反対側の面1に搭載のはんだパンプ8が膨らんだBGA半導体装置を実装基板9に実装した時、前記BGA半導体装置の基板1の中央部が前記半導体チップ3を搭載した面2方向に向き反った場合（前記実装基板1と反対方向に反った場合）が生じる。この場合においても、前記実装基板9上の電極と前記はんだパンプ8とを確実に電気的に接続するためには、図13に示すように、パッケージの基板1の中央部に生じる隙間ははんだパンプ8と電極3.2との間の隙間3.3に対応する高さ分のはんだパンプ8を高くしなければならない。その反面、パッケージの基板1の隅の隅付近のはんだパンプ8は下に押し付かれて高さが低くなる。そこで、本実施例2の実装基板9上の電極は、図12に示すように、前記実

実装板9上の電極のうちパッケージの基座1の中央部付近のはんだパンプ8に対応する部分の電極32の面積を周辺部付近の電極31よりも小さくしてある。

【0049】このようにすることにより、はんだリフロー後、冷却されて封止樹脂5が収縮し、半導体装置の反りが再び大きくなり、中央部付近のはんだパンプ8Aは、上方に大きく引き伸ばされるが、前記のように実装基板30上の電極31の面積を小さくしてあることにより、はんだパンプ8Aのはんだが実装基板30上の電極31と実装1上の電極7との間で引き伸ばされても、はんだが不足することがないとの予測とされ、電気的に確実に接続される。

【0050】本実施例2では、側面実装基板9上の電極のうちパッケージの基座1の中央部のはんだパンプ8に対応する部分の電極31の面積を小さくしたが、反対に前記側面基板9上の電極のうちパッケージの基座1の周辺部付近のはんだパンプ8Aに対応する部分の電極32の面積を中央部付近の電極よりも大きくしても同様の作用効果が得られる。

【0051】以上、本発明者によってなされた発明を、所記実施例に基づき具体的に説明したが、本発明は、所記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

#### 【0052】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡明に説明すれば、下記のとおりである。

【0053】(1) P-GA半導体装置を実装基板上に実装する時、そのパッケージの反りに対応するパッケージ中央部付近のパンプの機械的負荷を防止もしくは低減することができる。

【0054】(2) B-GA半導体装置を実装基板上に実装する時、そのパッケージの最外周のパンプの外周縁部のみで接合の判定ができ、装置の外周接合を容易にすることができる。

【0055】(3) B-GA半導体装置を実装基板上に実装する時、B-GA半導体装置のパッケージが反っていて、電気的接続不良がなく確実に実装することが容易にでき、かつ、歩留を向上することができる。

#### 【図面の簡単な説明】

【図1】本発明のB-GA半導体装置の実装例1の構成を

示す断面図である。

【図2】本実施例1のB-GA半導体装置のはんだパンプの配列を示す平面図である。

【図3】本実施例1のB-GA半導体装置の各素組工程における歩留率である。

【図4】本実施例1のB-GA半導体装置を実装する実装基板上の電極の配列を示す平面図である。

【図5】本実施例1のB-GA半導体装置を実装基板上に実装する方法を説明するための図である。

【図6】本実施例1のB-GA半導体装置の電極の配列を示す平面図である。

【図7】本実施例1の熱膨張係数 $\alpha$ が $1.0 \times 10^{-6}$ のレジンを使用した場合の反り量の実験結果を示す図である。

【図8】本実施例1の熱膨張係数 $\alpha$ が $2 \times 10^{-6}$ のレジンを使用した場合の反り量の実験結果を示す図である。

【図9】本実施例1の熱膨張係数 $\alpha$ が $3 \times 10^{-6}$ のレジンを使用した場合の反り量の実験結果を示す図である。

【図10】本実施例1の熱膨張係数 $\alpha$ が $4 \times 10^{-6}$ のレジンを使用した場合の反り量の実験結果を示す図である。

【図11】本実施例1のパンプの反り量の実験を説明するための図である。

【図12】本発明の実施例2の実装基板を上面から見た平面図である。

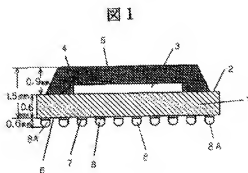
【図13】本実施例2のP-GA半導体装置を実装基板上に搭載した状態を示す断面図である。

【図14】従来のB-GA装置の問題点を説明するための実装基板上に実装した断面図である。

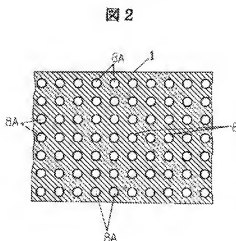
#### 【符号の説明】

1…側面配線を有する基板、2…基座の半導体チップを搭載する面、3…半導体チップ、4…A面ワイヤ、5…列止樹脂、6…基板のはんだパンプを投げる面、7…最外周の電極、8…8A…はんだパンプ、9…実装基板、10…実装基板上の電極、11…実装基板上の電極とはんだパンプとの隙間、20…実装基板、21…通常の配線の同形電極、を2…直線を大きくした同形電極、30…実装基板、31…パンプ8Aに対応する電極、32…パンプ8に対応する電極、33…実装基板上の電極とはんだパンプとの隙間。

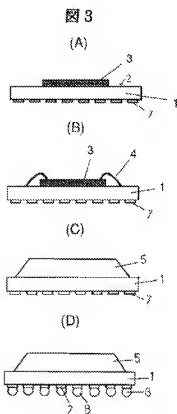
【1992】1. 1



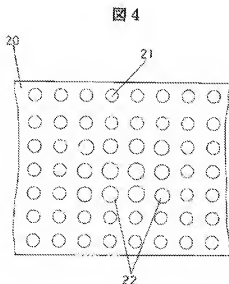
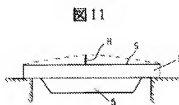
【按】



【附 9】

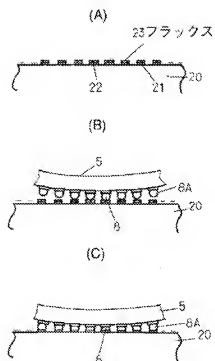


[24]

[illegible]

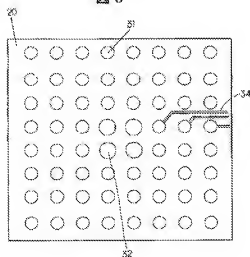
【図5】

図5



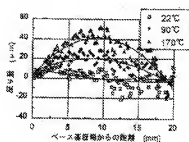
【図6】

図6



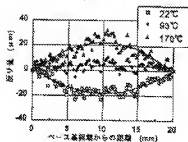
【図7】

図7



【図8】

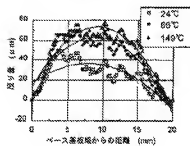
図8





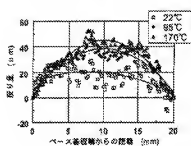
【図9】

図9



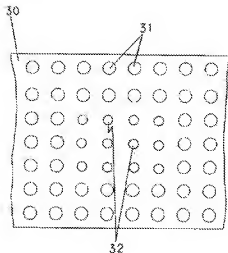
【図10】

図10



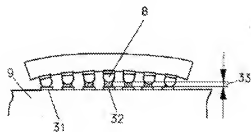
【図12】

図12



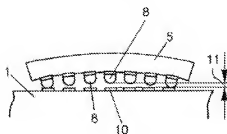
【図13】

図13



【図14】

図14



## フロントページの続き

(72)発明者 河合 栄男  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所平塚体系業務内  
(72)発明者 坪嶋 邦夫  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所平塚体系業務内

(72)発明者 西 輝彦  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所平塚体系業務内  
(72)発明者 大塚 憲一  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所平塚体系業務内

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-193162

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

H01L 23/12

H01L 23/50

(21)Application number : 05-330641

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.12.1993

(72)Inventor : SUMIYA AKIRO

ANJO ICHIRO

ARITA JUNICHI

KAWAI SUEO

TSUBOSAKI KUNIHIRO

NISHI KUNIHIKO

OTSUKA KENICHI

(54) BALL-GRID ARRAY SEMICONDUCTOR DEVICE AND MOUNTING SUBSTRATE THEREOF

(57)Abstract:

PURPOSE: To provide a BGA semiconductor device, which does not have defective electric connections even if a package is warped, a mounting substrate for the BGA semiconductor device and the mounting method thereof.

CONSTITUTION: A semiconductor chip 3 is mounted on a substrate 1 having the circuit wiring. The electrodes of the semiconductor chip 3 and the circuit wirings are electrically connected. At least the semiconductor chip and the electric connecting part are sealed with resin 5. A plurality of solder bumps 8 are provided at the face on the opposite side of the face of the substrate 1, on which the semiconductor chip 3 is mounted. In this BGA semiconductor device, the central part of the substrate 1 is warped in the direction of the face 6 on the opposite side with respect to the face 2, on which the semiconductor chip 3 is mounted, in the protruding shape.

